

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43463

(P2002-43463A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.<sup>7</sup>  
H 01 L 23/12  
23/02

識別記号  
501

F I  
H 01 L 23/12  
23/02

テ-マコ-ト(参考)  
501 P  
B  
D

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21) 出願番号 特願2001-188751(P2001-188751)  
(22) 出願日 平成13年6月21日 (2001.6.21)  
(31) 優先権主張番号 200034506  
(32) 優先日 平成12年6月22日 (2000.6.22)  
(33) 優先権主張国 韓国 (KR)

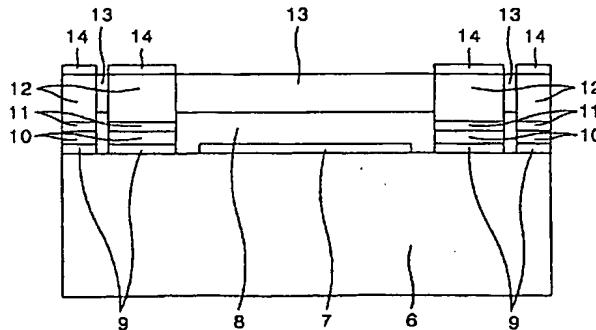
(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72) 発明者 姜 銘鎮  
大韓民国京畿道水原市長安区栗田洞419番  
地三星アパート201棟202号  
(74) 代理人 100064908  
弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 電子及びMEMS素子の表面実装型チップスケールパッケージング方法

(57) 【要約】

【課題】 電子及びMEMS素子の表面実装型チップスケールパッケージング方法を提供する。

【解決手段】 (a) 導電性を有するカバー用第2基板にパターン溝形状で形成する段階と、(b) 前記カバー用第2基板のパターン溝を絶縁体のガラスやセラミック材料で充填し、前記カバー用第2基板を平坦化してボンディングパターンを形成する段階と、(c) 前記カバー用第2基板を第1基板とウェーハレベルで正確に整列して接合する段階と、(d) 前記カバー用第2基板の上部に金属電極パターンを形成させる段階と、(e) 前記二つの基板をダイシングしてチップスケールパッケージを完成する段階とを含む。



【特許請求の範囲】

【請求項1】 (a) 導電性を有するカバー用第2基板に半導体工程技術と微細加工技術を活用してインターフェクション及び封着構造をパターン溝形状で形成する段階と、  
(b) 前記カバー用第2基板のパターン溝を絶縁体のガラスやセラミック材料で充填し、前記カバー用第2基板を平坦化してボンディングパターンを形成する段階と、  
(c) 前記カバー用第2基板を電子素子やMEMS素子が一括的に製作された素子用第1基板とウェーハレベルで正確に整列して接合する段階と、  
(d) 前記カバー用第2基板の上部に金属電極パターンを形成させる段階と、  
(e) 前記インターフェクション及び封着が完了した二つの基板をダイシングしてチップスケールパッケージを完成する段階とを含むことを特徴とする電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項2】 前記カバー用第2基板は、不純物がドーピングされて導電性を有する半導体基板あるいは加工性があつて溶解点が所定温度以上に高い金属基板で形成されたことを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項3】 前記半導体基板はSiウェーハよりなり、前記金属基板はステンレススチール、コバルト(Fe, Ni等の合金)、Cu中でいずれか一つの金属よりなることを特徴とする請求項2に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項4】 前記(a)段階で前記カバー用第2基板にインターフェクション及び封着構造パターンを形成するために数百μmの深いトレンチを形成することを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項5】 前記(b)段階で前記カバー用第2基板のパターン溝をセラミック材料で充填する場合、前記カバー用第2基板上部にセラミック原料粉末を練ったものをコーティングした後、圧力を加えて前記カバー用第2基板上に形成された溝内に前記セラミック粉末の練りを充填した後、炉で熱処理して前記基板溝を充填する工程であることを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項6】 前記(b)段階で前記カバー用第2基板を平坦化させる工程は、機械的平坦化工程と化学的平坦化工程を接続したCMP工程を使用して前記カバー用第2基板表面の粗度を最小化し、前記インターフェクション及びボンディングパターンを露出させる工程であることを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項7】 前記(b)段階で前記カバー用第2基板のパターン溝をガラスで充填する場合、前記カバー用第2基板を真空状態でガラス基板と接合し、接合された基板

を高温炉で熱処理することを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【請求項8】 前記(c)段階はソルダーボンディング(solder bonding)、ユーテクティックボンディング(eutectic bonding)、ゼロギャップボンディング(zero gap bonding)、異方性導電性フィルムボンディング(anisotropic conductive film bonding)、導電性エポキシボンディング(conductive epoxy bonding)、アノーディックボンディング(anodic bonding)中でいずれか一つの接合法によりなることを特徴とする請求項1に記載の電子及びMEMS素子の表面実装型チップスケールパッケージング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子及びMEMS素子の表面実装型チップスケールパッケージング方法に関する。

【0002】

【従来の技術】図1を参考して従来のウェーハレベルパッケージについて説明する。示されたように、素子用第1基板1上には数多くの素子が形成された素子活性領域4があり、この素子活性領域4を保護するためのカバー用第2基板2がフリットガラス壁(frit glasswall)3により素子用第1基板1に封着されて支持されている。ここでは外部配線用電極5がカバー用シリコン基板2の上部に抽出されずに素子用基板1にそのまま配置されている。このような構造のパッケージをシステムに装着して使用するためにはワイヤボンディングして使用せねばならない。この場合、ワイヤボンダのワイヤがカバー用基板2に触れないように製造する場合、個別素子のサイズが大きくなる問題点がある。また、システム小型化のために表面実装技術を大切にするパッケージング技術の勢いにマッチできるフリップチップボンディングが不可能な問題点がある。

【0003】

【発明が解決しようとする課題】本発明は前記のような問題点を改善するために創案したものであつて、各種電子素子やMEMS素子の電気的、構造的パッシベーションと外部への電気的インターフェクションをウェーハレベルで一括的に処理する新しいチップスケールパッケージングを行う電子及びMEMS素子の表面実装型チップスケールパッケージング方法を提供することにその目的がある。

【0004】

【課題を解決するための手段】前記のような目的を達成するために本発明では、(a) 導電性を有するカバー用第2基板に半導体工程技術と微細加工技術を活用してインターフェクション及び封着構造をパターン溝形状で形成する段階と、(b) 前記カバー用第2基板のパターン溝を絶縁体のガラスやセラミック材料で充填し、前記カバー

用第2基板を平坦化してボンディングパターンを形成する段階と、(c) 前記カバー用第2基板を電子素子やMEMS素子が一括的に製作された素子用第1基板とウェーハレベルで正確に整列して接合する段階と、(d) 前記カバー用第2基板の上部に金属電極パターンを形成させる段階と、(e) 前記インターフェクション及び封着が完了した二つの基板をダイシングしてチップスケールパッケージを完成する段階とを含む電子及びMEMS素子の表面実装型チップスケールパッケージング方法を提供する。

【0005】本発明において、前記カバー用第2基板は、不純物がドーピングされて導電性を有する半導体基板あるいは加工性があって溶解点が所定温度以上に高い金属基板で形成され、前記(a)段階で前記カバー用第2基板にインターフェクション及び封着構造パターンを形成するために数百μmの深いトレンチを形成することが望ましい。

【0006】本発明において、前記半導体基板はSiウェーハよりなり、前記金属基板はステンレススチール、コバルト(Fe、Ni等の合金)、Cu中でいずれか一つの金属よりなることが望ましい。

【0007】本発明において、前記(b)段階で前記カバー用第2基板のパターン溝をセラミック材料で充填する場合、前記カバー用第2基板上部にセラミック原料粉末を練ったものをコーティングした後、圧力を加えて前記カバー用第2基板上に形成された溝内に前記セラミック粉末の練りを充填した後、炉で熱処理して前記基板溝を充填する工程であり、前記(b)段階で前記カバー用第2基板を平坦化させる工程は、機械的平坦化工程と化学的平坦化工程を接続したCMP工程を使用して前記カバー用第2基板表面の粗度を最小化し、前記インターフェクション及びボンディングパターンを露出させるための工程であることが望ましい。

【0008】本発明において、前記(c)段階はsolder bonding、eutectic bonding、zero gap bonding、anisotropic conductive film bonding、conductive epoxy bonding、anodic bonding中でいずれか一つの接合法によりなることが望ましい。

【0009】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施例に対して詳細に説明する。

【0010】図2を参考して本発明に係る電子及びMEMS素子の表面実装型チップスケールパッケージング方法によってパッケージングされたチップの構造についてより詳細に説明する。

【0011】素子用第1基板6上には各種素子が形成された素子活性領域7が存在する。この素子用第1基板6にガラスあるいはセラミック13が充填されたカバー用第2基板12が導電性接合物質層10により封着される。カバー用第2基板12はn+-Si、p+-Si、ステンレススチール、コバルトまたは銅より形成され、導電性

接合物質層10はSolder、Au、Anisotropy conductive film、導電性エポキシより形成される。このような封着により空洞8が形成される。素子用第1基板6とカバー用第2基板12が封着される時にはAl、Au等で各々形成された個別素子電極9と蓋基板下部電極11が導電性接合物質層10により通電されるように接合される。部材番号14はAl、Au等で形成された外部配線用電極でカバー用第2基板12により個別素子電極9と電気的に連結される。

【0012】図3ないし図10を参考して本発明に係る電子及びMEMS素子の表面実装型チップスケールパッケージング方法についてより詳細に説明する。図3ないし図10は図2のパッケージングされた一つのチップについての製作段階別工程後の垂直断面図を各々示しているが、実際製作時にはこのようなチップの数十ないし数千個が同じ基板上に周期的に配列される。

【0013】先ず、導電性カバー用第2基板12に半導体工程技術と微細加工技術を活用してインターフェクション及び封着構造パターン12aを形成する((a)段階)。すなわち、図3に示したように、カバー用第2基板12上のインターフェクション及び封着のための構造パターン12aの形成のためにフォトリソグラフィーと基板蝕刻工程を行なって数百μmの深いトレンチ12bを形成する。ここで、カバー用第2基板12は不純物がドーピングされて導電性を有するSiウェーハよりなる半導体基板であるか、あるいは加工性があって溶解点が所定温度以上に高い金属基板で形成される。ここで、金属基板の場合にはステンレススチール、コバルト(Fe、Ni等の合金)またはCuよりなる。

【0014】次に、カバー用第2基板12のパターン溝12bを絶縁体のガラスやセラミック材料で充填し、化学的機械研磨(chemical mechanical polishing; CMP)法を通じて前記カバー用第2基板を平坦化させた後、金属薄膜を蒸着してバターニングする((b)段階)。

【0015】前記カバー用第2基板12のパターン溝12bをセラミック材料で充填する工程は図4に示した通りである。カバー用第2基板上部にセラミック原料粉末を練ったもの13をコーティングした後、圧力を加えて図5に示したようにカバー用第2基板12上に形成された溝12b内にセラミック粉末練り13を充填した後、炉で熱処理して基板溝12bを充填する。

【0016】このようにカバー用第2基板12のパターン溝12bをセラミック材料で充填する工程が終った後に行われるカバー用第2基板12を平坦化する工程は、機械的平坦化工程と化学的平坦化工程を合わせたCMP工程を使用する。これは図6に示したようにカバー用第2基板12の表面の粗度を最小化させ、前記インターフェクション及び金属ボンディングパターンを露出させるためである。

【0017】そしてカバー用第2基板12を平坦化させ

る工程が終わった後、金属薄膜蒸着工程及びパターニングさせる工程は図7に示した通りである。すなわち、インターロネクション及び封着構造パターン12a上にカバー用第2基板12の下部電極11をAl、Auなどを蒸着した後にパターニングする。それから、その上にSolder、Au、Anisotropy conductive film、導電性エポキシ等で導電性接合物質層10を形成する。

【0018】そして、図8に示したように、カバー用第2基板12を電子素子やMEMS素子が一括的に製作された素子用第1基板6とウェーハレベルで正確に整列して接合させる((c)段階)。この時、電子素子やMEMS素子7が製作されたウェーハ(素子用第1基板)12の電極及び封着パターン9をカバー用第2基板12上のパターン10、11と正確に整列して接合させる。接合時にはsolder bonding、eutectic bonding、zero gap bonding、anisotropic conductive film bonding、conductive epoxy bonding、anodic bondingなどの接合法を用いて接合させることが望ましい。

【0019】次に、カバー用第2基板12の上部を図9に示したように再度CMP法で研磨した後、図10に示したように外部配線用金属電極パターン14を形成させる。それから前記電子素子やMEMS素子のインターロネクション及び封着を一括的に行なう((d)段階)。図10は、カバー用第2基板12の上部に外部配線用電極パターン14を形成した後の垂直断面図であって、外部配線用電極14がカバー用第2基板12の表面に段付きなしに抽出されていてフリップボンディングのような表面実装が可能な構造である。

【0020】最後に、インターロネクション及び封着が完了した二つの基板をダイシングしてチップスケールパッケージを完成する((e)段階)。

【0021】このように、本発明のチップスケールパッケージを具現するためにはガラスマールディングを用いた基板平坦化方法とセラミックを充填する技術がその基盤になるが、その原理は次の通りである。

【0022】先ず、ガラスマールディングを用いた基板平坦化方法は、インターロネクションと封着のための構造が形成された半導体あるいは金属基板(第2基板;蓋基板)とガラス基板を真空雰囲気で互いに接合させる。この時に真空雰囲気は、蓋基板の深い溝に気体が残留する場合、後ほどガラスマールディング時に気泡になってガラスマールディングを難しくする可能性があるからである。

【0023】次に、接合された二つの基板を大気圧で炉内に入れて高温で維持してガラスが溶けて流れ込んで基板の溝を充填するようにし、徐々に炉の温度を下げる。この後、炉から取り出した基板の上部(ガラスがついた面)をCMPすれば基板が平坦化される。

【0024】それから、セラミックを充填する技術は、第2基板上部にセラミック原料粉末を練ったものをコ

ティングした後、圧力を加えて第2基板上に形成された溝内にセラミック粉末練りを充填し、この後の方法はガラスマールディング方法と同じ方法で基板を平坦化する。

#### 【0025】

【発明の効果】このような本発明に係るパッケージ方法の長所は次の通りである。

【0026】第1に、本発明に係るチップスケールパッケージはインターロネクションと封着パターンが深くて、広く形成されているのにもかかわらず、新しい基板平坦化方法を使用することによってフリップチップ形態で外部システム(PCB)に表面実装が容易になるように基板上部に電極が抽出される。したがって、システムの軽薄短小化を指向するあらゆる表面実装型電子素子及びMEMS素子に広く活用されうる。

【0027】第2に、本発明の基盤になる基板電極分離及び平坦化技術は類似の構造を有する他のMEMS工程の境界を乗り越えるのに核心的な役割を行える。

#### 【図面の簡単な説明】

【図1】 従来のウェーハレベルでパッケージングされたチップの垂直断面図である。

【図2】 本発明に係る電子及びMEMS素子の表面実装型チップスケールパッケージング方法によってパッケージングされたチップの垂直断面図である。

【図3】 図3ないし図10は、図2のパッケージングされたチップの製作段階別工程後の図面であって、一つのチップに関する断面図であり、図3は、第2基板上にインターロネクション及び封着のための構造形成のためにフォトリソグラフィーと基板蝕刻工程後の垂直断面図である。

【図4】 図4は、ガラス基板を第2基板と接合させた場合、あるいは焼結用セラミック材料をコーティングした場合の垂直断面図である。

【図5】 図5は、高温炉で熱処理してガラス及びセラミック材料が第2基板の溝を充填した後の垂直断面図である。

【図6】 図6は、第2基板上部をCMPした後の断面図である。

【図7】 図7は、MEMS素子のように振動空間が必要な素子をパッケージングする場合に空洞領域を選択蝕刻した後の垂直断面図である。

【図8】 図8は、電子素子やMEMS素子が製作されたウェーハ(第1基板)の電極パターンと、インターロネクション及び封着パターンをカバー用第2基板上のパターンと正確に整列して二つの基板を接合した後の垂直断面図である。

【図9】 図9は、接合されたカバー用第2基板の上部をCMPした後の垂直断面図である。

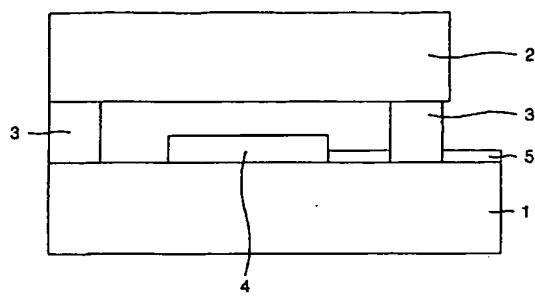
【図10】 図10は、基板上部に外部配線用電極パターンを形成した後の垂直断面図である。

【符号の説明】

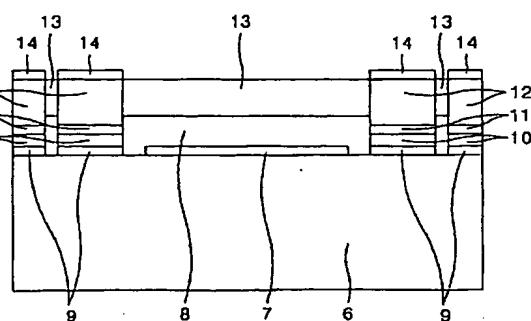
1、6 素子基板(第1基板)  
 2 カバー用基板(Si)  
 3 フリットガラス壁  
 4、7 素子活性領域  
 5、14 外部配線用電極(Al, Au)  
 8 空洞

9 個別素子電極(Al, Au)  
 10 導電性接合物質層(Solder、Au、Anisotropy conductive film、導電性エポキシ)  
 11 蓋基板下部電極(Al, Au等)  
 12 蓋基板(第2基板: n+Si, p+Si、ステンレススチール)  
 13 ガラスまたはセラミック

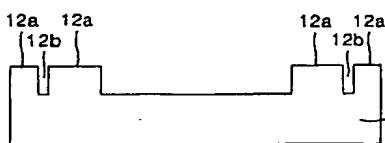
【図1】



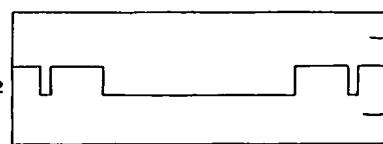
【図2】



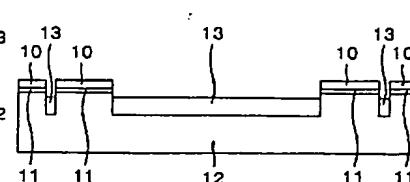
【図3】



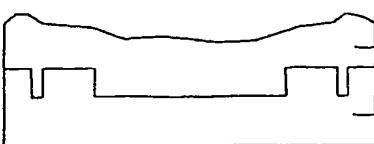
【図4】



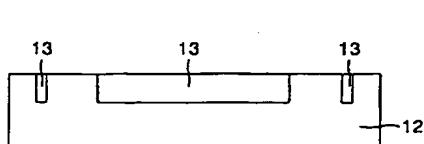
【図7】



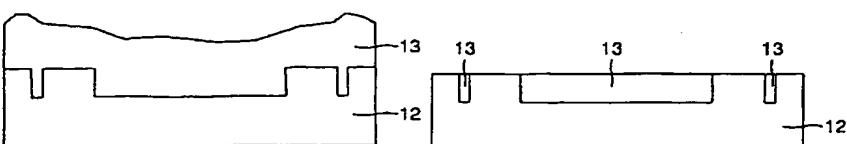
【図5】



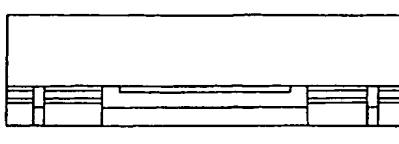
【図6】



【図8】



【図9】



【図10】

